

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-235127

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

G02B 6/122
G02B 6/13
H01L 31/0232
H01L 31/12
H01L 33/00

(21)Application number : 11-036405

(71)Applicant : NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 15.02.1999

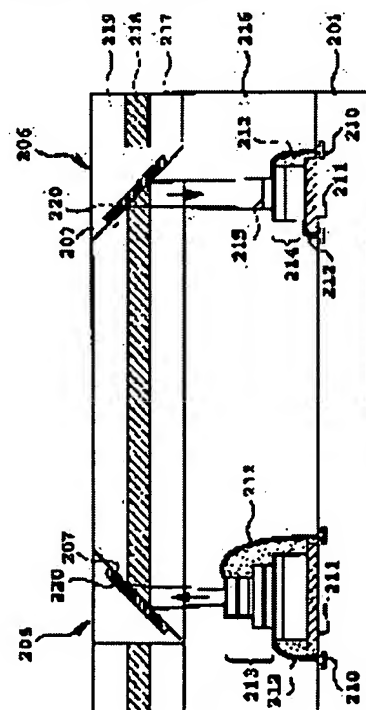
(72)Inventor : TSUDA HIROYUKI
NAKAHARA TATSUSHI
SAKAMOTO TAKASHI
AMANO CHIKARA
HIKITA MAKOTO
TOMARU AKIRA
ENBUTSU KOUJI

(54) OPTOELECTRONIC INTEGRATED CIRCUIT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To produce an optoelectronic integrated circuit with high accuracy at a low cost which enables fast signal processing in large capacity.

SOLUTION: This optical waveguide circuit consists of an optoelectronic combined circuit substrate 201 in which electronic devices and optical devices are integrated, and at least one optical waveguide layer consisting of a flattening polymer layer 216, polymer lower clad layer 217, polymer core layer 218 and polymer upper clad layer 219 laminated on the substrate. The optical waveguide layer has an optical waveguide and an optical path converting part 207.



* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]It is the optoelectronic integrated circuit in which an optical waveguide circuit was directly assembled on the photoelectrical fusion circuit board which integrated an electronic device and a light corpuscle child, On said photoelectrical fusion circuit board, at least one optical waveguide layer which consists of a flattening polymer layer, polymer lower clad layers, polymer core layers, and polymer upper clad layers is laminated and provided, An optoelectronic integrated circuit provided with an optical waveguide circuit constituted by an optical waveguide and an optical-path converter for performing optical connection with said light corpuscle child in said optical waveguide layer.

[Claim 2]The optoelectronic integrated circuit according to claim 1 making said flattening polymer layer and said polymer lower clad layer serve a double purpose by one layer.

[Claim 3]It is a manufacturing method about an optoelectronic integrated circuit by forming an optical waveguide circuit for optical wiring directly on the photoelectrical fusion circuit board characterized by comprising the following by which an electronic device and a light corpuscle child were integrated.

A process of applying a monomer or oligomer and forming a flattening polymer layer on said photoelectrical fusion circuit board.

A process of applying a monomer or oligomer and forming a polymer lower clad layer on said flattening polymer layer.

A process of applying a monomer or oligomer and forming a polymer core layer on said polymer lower clad layer.

A process of carrying out pattern NINGU of said polymer core layer, and forming waveguide patterns, A process of applying a monomer or oligomer, embedding these waveguide patterns, and forming a polymer upper clad layer on said waveguide patterns by which pattern NINGU was carried out, A field of a layer which adjoins said waveguide patterns and these waveguide

patterns is etched, it has a process of forming an optical-path converter into these waveguide patterns, and they are said polymer lower clad layer, said waveguide patterns, and said polymer upper clad layer on said photoelectrical fusion circuit board.

[Claim 4]How to produce an optoelectronic integrated circuit by forming an optical waveguide circuit for optical wiring directly on the photoelectrical fusion circuit board characterized by comprising the following by which an electronic device and a light corpuscle child were integrated.

A process of applying a monomer or oligomer and forming a flattening polymer layer on said photoelectrical fusion circuit board.

A process of applying a monomer or oligomer and forming a polymer lower clad layer on said flattening polymer layer.

A process of carrying out pattern NINGU and forming waveguide patterns at the same time it applies a monomer or oligomer of a photosensitive material and forms a polymer core layer on said polymer lower clad layer.

A process of applying a monomer or oligomer, embedding these waveguide patterns, and forming a polymer upper clad layer on said waveguide patterns by which pattern NINGU was carried out, A field of a layer which adjoins said waveguide patterns and these waveguide patterns is etched, it has a process of forming an optical-path converter into these waveguide patterns, and they are said polymer lower clad layer, said waveguide patterns, and said polymer upper clad layer on said photoelectrical fusion circuit board.

[Claim 5]A manufacturing method of the optoelectronic integrated circuit according to claim 3 or 4 making said flattening polymer layer and said polymer lower clad layer serve a double purpose by one layer.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to an optoelectronic integrated circuit which can perform mass signal processing especially, and a manufacturing method for the same about an optoelectronic integrated circuit which has the optical waveguide circuit by which optical connection was carried out on the circuit board which integrated the electronic device and the light corpuscle child, and this circuit board, and a manufacturing method for the same.

[0002]

[Description of the Prior Art]In order to control noise generating in an integrated circuit, signal delay, etc. conventionally, instead of metallic wiring, the optical integrated circuit using the optical wiring by an optical waveguide attracts attention.

[0003]As shown in drawing 16, there is an optoelectronic integrated circuit by the monolithic accumulation by which the optical waveguide 3, the light emitting device 4, and the photo detector 10 were formed on the substrate 1 in this kind of optical integrated circuit, for example (refer to JP,59-75656,A).

[0004]As shown in drawing 17, there is an optoelectronic integrated circuit which carried out hybrid accumulation of the optical connection board 103 which has the optical waveguide 107, and the integrated circuit chip 101 (LSI board) which has the photo detector 102 (refer to JP,6-45584,A).

[0005]

[Problem(s) to be Solved by the Invention]The combination of the material which usually carries out lattice matching of the former example to a GaAs substrate or an InP substrate, For example, it is produced by forming the waveguide of a direct transition die-materials system of GaAs/aluminum_xGa_{1-x}As and InP/In_xGa_{1-x}AsP_y1-y (about x=0.47y) on a substrate.

[0006]In this case, if it shifts from lattice matching conditions, internal stress will occur, when

extreme, a rearrangement and a defect occur in a crystal, an element life becomes short in many cases, and a non-lattice matching condition / material combination is difficult to use in addition to a very thin (about 1000 Å or less) layer.

[0007] Thus, in order to perform monolithic accumulation of a waveguide, there are restrictions of the material restrictions in which many restrictions, for example, the geometrical restrictions accompanying many re-growing processes, and re-growth are possible, a luminous wavelength, and light-receiving wavelength. Although many of integrated circuits for signal processing in recent years are silicon system integrated circuits, with the silicon of an indirect transition, they cannot manufacture a light emitting device but are limited to combination with a photo detector.

[0008] There is much difficulty on mounting for on the other hand arranging in the latter example by performing exact positioning of the optical connection board 103 and the integrated circuit chip 101 (LSI board) with the photo detector 102. Since the optical connection board 103 and the integrated circuit chip 101 perform assembling work individually, they cannot manufacture two or more optoelectronic integrated circuits simultaneously. Although these are not physical restrictions, they become a very high cost optoelectronic integrated circuit, and are not practical.

[0009] Here, on an electronic circuit board, the problem in the case of carrying out hybrid accumulation of the light corpuscle child is mentioned as an example, and is explained.

[0010] For example, it is considered as the method of carrying out hybrid accumulation of a photo detector thru/or the light emitting device, and an electronic circuit board has solder bump art.

[0011] However, although a photo detector or a light emitting device is made a small chip and it pastes up in the method using this art using solder, there is following problem (1) - (3).

[0012] (1) It is very difficult to make a chip smaller than 100 micron x100 micron x100 micron from cleavage or a scribe. For this reason, the chip with which variety differs (it is (like a photo detector and a light emitting device)) is unaccumulable on the same electronic circuit board.

[0013] (2) In order to output and input light from the substrate side of a photo detector thru/or a light emitting device, the wavelength range to be used needs to remove an unnecessary board part, using a transparent substrate. In the method of (1), light-receiving thru/or the big restriction to selection of a light emitting device are received. Since the electronic circuit board and the solder layer are exposed in the method of (2), it is difficult to remove without giving them a damage.

[0014] (3) It is impossible to carry out flattening of the upper part, and to form a waveguide layer with the thickness of the substrate of a solder layer, and a photo detector and a light emitting device, since unevenness of an electronic circuit board will be at least 100-200 microns. Since the distance of a waveguide side, and an acceptance surface and a light-

emitting surface will be 100-200 microns or more, if a lens means is not made to intervene, it is theoretically impossible to acquire high coupling efficiency.

[0015]Then, the purpose of this invention provides the highly efficient optoelectronic integrated circuit which can perform high-speed signal processing with large scale, and there is in providing the manufacturing method of high degree of accuracy and a low cost optoelectronic integrated circuit.

[0016]

[Means for Solving the Problem]This invention on the photoelectrical fusion circuit board which integrated an electronic device and a light corpuscle child, An optical waveguide circuit is an optoelectronic integrated circuit assembled directly, and on said photoelectrical fusion circuit board, At least one optical waveguide layer which consists of a flattening polymer layer, polymer lower clad layers, polymer core layers, and polymer upper clad layers is laminated and provided, An optoelectronic integrated circuit is constituted by having an optical waveguide circuit constituted by an optical waveguide and an optical-path converter for performing optical connection with said light corpuscle child in said optical waveguide layer.

[0017]This invention by forming directly an optical waveguide and an optical waveguide circuit which has said optical-path converter, How to produce an optoelectronic integrated circuit by forming an optical waveguide circuit for optical wiring directly on the photoelectrical fusion circuit board which is characterized by that a manufacturing method of an optoelectronic integrated circuit comprises the following and by which an electronic device and a light corpuscle child were integrated.

A process of applying a monomer or oligomer and forming a flattening polymer layer on said photoelectrical fusion circuit board.

A process of applying a monomer or oligomer and forming a polymer lower clad layer on said flattening polymer layer.

A process of applying a monomer or oligomer and forming a polymer core layer on said polymer lower clad layer.

A process of carrying out pattern NINGU of said polymer core layer, and forming waveguide patterns, A process of applying a monomer or oligomer, embedding these waveguide patterns, and forming a polymer upper clad layer on said waveguide patterns by which pattern NINGU was carried out, A field of a layer which adjoins said waveguide patterns and these waveguide patterns is etched, it has a process of forming an optical-path converter into these waveguide patterns, and they are said polymer lower clad layer, said waveguide patterns, and said polymer upper clad layer on said photoelectrical fusion circuit board.

[0018]This invention by forming directly an optical waveguide and an optical waveguide circuit which has said optical-path converter, How to produce an optoelectronic integrated circuit by

forming an optical waveguide circuit for optical wiring directly on the photoelectrical fusion circuit board which is characterized by that a manufacturing method of an optoelectronic integrated circuit comprises the following and by which an electronic device and a light corpuscle child were integrated.

A process of applying a monomer or oligomer and forming a flattening polymer layer on said photoelectrical fusion circuit board.

A process of applying a monomer or oligomer and forming a polymer lower clad layer on said flattening polymer layer.

A process of carrying out pattern NINGU and forming waveguide patterns at the same time it applies a monomer or oligomer of a photosensitive material and forms a polymer core layer on said polymer lower clad layer.

A process of applying a monomer or oligomer, embedding these waveguide patterns, and forming a polymer upper clad layer on said waveguide patterns by which pattern NINGU was carried out, A field of a layer which adjoins said waveguide patterns and these waveguide patterns is etched, it has a process of forming an optical-path converter into these waveguide patterns, and they are said polymer lower clad layer, said waveguide patterns, and said polymer upper clad layer on said photoelectrical fusion circuit board.

[0019]Here, said flattening polymer layer and said polymer lower clad layer may be made to serve a double purpose by one layer.

[0020]

[Embodiment of the Invention]Hereafter, with reference to drawings, an embodiment of the invention is described in detail.

[0021]The [1st example] A 1st embodiment of this invention is described based on drawing 1 - drawing 13.

[0022](Structure) The structure of an optoelectronic integrated circuit applicable to this invention is first explained based on drawing 1 and drawing 2.

[0023]Drawing 2 is a top view of an optoelectronic integrated circuit.

[0024]201 is an electronic integrated circuit board which consists of silicon. On this electronic integrated circuit board 201, the electronic integrated circuit 203 (here the electronic circuit 1 - the electronic circuit 3) divided into several circuit blocks from which a function differs is formed. The bonding pad 202 for electric wiring is formed in the end on the electronic integrated circuit board 201. The art which produces several circuit blocks from which a function differs in the same electronic integrated circuit board 201 can use the manufacturing method of a well-known integrated circuit.

[0025]The light-emitting part 204 constituted by the light emitting device and the light sensing portion 206 constituted with a photo detector are formed in the electronic integrated circuit 203.

The composition of a light emitting device and a photo detector is explained using drawing 1.

[0026]The optical waveguide 205 and the optical-path converter 207 are formed above the light-emitting part 204 and the light sensing portion 206 as optical wiring for performing optical connection between these light-receiving-and-light-emitting parts.

[0027]The optical waveguide 208 for external connection and the optical fiber connection 209 are formed as an object for connection with an external circuit.

[0028]Drawing 1 shows the detailed integrated structure of a light-receiving-and-light-emitting part and an optical wiring part.

[0029]210 is a contact electrode for electrically connecting a photo detector with the electronic integrated circuit 203, and a light emitting device and the electronic integrated circuit 203, respectively.

[0030]211 is polyimide which pastes together the circuit board 201, a light emitting device and the circuit board 201, and a photo detector, respectively.

[0031]212 is the electric wiring for electrically connecting a photo detector with the electronic integrated circuit 203, and a light emitting device and the electronic integrated circuit 203, respectively. If needed, this electric wiring 212 has barrier structure so that neither discontinuous construction nor metal may react.

[0032]213 is a surface emission-type laser as a light emitting device, and is constituted by a P type DBR mirror, an active layer, and the n type DBR mirror.

[0033]214 is a photo-diode as a photo detector, and the thing of the pin composition by the p-type semiconductor, the i-type semiconductor, and an n-type semiconductor is usually used for it.

[0034]Low reflection coating 215 is performed to the upper surface of this photo-diode 214.

[0035]The flattening polymer layer 216 is laminated on these surface light laser 213 and the photo-diode 214.

[0036]On this flattening polymer layer 216, the polymer lower clad layer 217, the polymer core layer 218, and the polymer upper clad layer 219 are laminated one by one. An optical waveguide functions according to the layer system of 217 to 219 which consists of these polymer. As a material of an optical waveguide, it is not limited to these polymer and can produce with a well-known material.

[0037]The optical-path converter 207 is constituted by removing a part of optical waveguide with a suitable angle of inclination, and producing a mirror. The high reflection film 220 as a mirror is formed in this optical-path converter 107. An optical path deflection is carried out so that the light from the surface emission-type laser 213 may be led to the polymer core layer 218, and the optical path deflection of this high reflection film 220 is carried out so that the light from the polymer core layer 218 may be led to the photo-diode 214.

[0038]This high reflection film 220 reduces the optical-path conversion loss of the optical-path

converter 207, and it raises reliability. Metal membranes, such as a dielectric multilayer which consists of $\text{TiO}_2/\text{SiO}_2$ etc. or Au, Ag, Cr, and aluminum, can be used for such a high reflection film 220.

[0039]The thin film of SiO_2 which is the material whose optical waveguide and refractive index are almost equal as a protective film may be made to adhere to this high reflection film 220.

[0040](Manufacturing method) Next, the manufacturing method of this device is explained based on drawing 3 - drawing 13.

[0041](Photoelectrical fusion circuit board) Process (1) - (6) which produces the photoelectrical fusion circuit board is first explained based on drawing 3 - drawing 8.

[0042]Drawing 3 shows the 1st process (1).

[0043]On GaAs substrate 240, the epitaxial layer 250 is formed by epitaxial growth.

[0044]That is, the 1st etch stopping layer, the layer of the surface emission-type laser 213, the 2nd etch stopping layer, and the layer of the photo-diode 214 are formed by epitaxial growth on GaAs substrate 240, and this produces the epitaxial substrate 260.

[0045]The composition of the epitaxial layer 250 of the epitaxial substrate 260 is as follows.

[0046]The 1st etch stopping layer comprises the aluminum $_{0.6}\text{Ga}_{0.4}\text{As}$ layer 251 and InGaP layer 252.

[0047]The layer of the surface emission-type laser 213 comprises n-DBR layer (multilayer structure of n dope GaAs/AlGaAs) 253, the GaAs active layer 254, and p-DBR layer (multilayer structure of p dope GaAs/AlGaAs) 255.

[0048]The 2nd etch stopping layer comprises the aluminum $_{0.3}\text{Ga}_{0.7}\text{As}$ layer 256.

[0049]The layer of the photo-diode 214 comprises p-GaAs layer 257, i-GaAs layer 258, and n-GaAs layer 259.

[0050]Drawing 4 shows the 2nd process (2).

[0051]Flattening of the unevenness of the surface in which the electrode 201a on the electronic integrated circuit board 201 was formed is carried out. After this flattening applies and hardens the polyimide 201b, it can be carried out by carrying out a surface polish.

[0052]Drawing 5 shows the 3rd process (3).

[0053]As shown in drawing 5 (a), the epitaxial layer 250 formed in said epitaxial substrate 260 and the electronic integrated circuit board 201 are pasted up using the polyimide 211.

[0054]As shown in drawing 5 (b) after adhesion, the temporary stop of the pasted-up substrate is carried out at 200 **.

[0055]As shown in drawing 5 (c) after a temporary stop, unnecessary GaAs substrate 240 is etched by $\text{H}_2\text{O}_2 + \text{NH}_3 \text{ OH}$.

[0056]The aluminum $_{0.6}\text{Ga}_{0.4}\text{As}$ layer 251 is etched by $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}$, and InGaP layer 252 is

etched by $\text{HCl} + \text{H}_2\text{O}$.

[0057]Drawing 6 shows the 4th process (4).

[0058]Drawing 6 (a) shows the wafer in which the epitaxial layer 250 was formed on the electronic integrated circuit board 201. Drawing 6 (b) expands and shows a part of chip on a wafer. Drawing 6 (c) shows the chip cross section shape of drawing 6 (b). Drawing 6 (d) expands and shows drawing 6 (c).

[0059]Drawing 6 (a) As shown in - (b), the epitaxial layer 250 produced on the electronic integrated circuit board 201 of a wafer is etched selectively, and it divides into the portion of 1 - 2 mm square. Since the alignment of the photograph work for this etching may be rough, it can carry out easily using a double-sided alignment type photographic filter.

[0060]Drawing 6 (c) - (d) shows the sectional shape after etching the epitaxial layer 250 selectively. In this stage, it heats to 350 °C and the polyimide 211 for adhesion is stiffened thoroughly.

[0061]An ashing device removes the polyimide 211 located in a portion without the epitaxial layer 250.

[0062]By this, the alignment mark 270 made simultaneously with the electronic integrated circuit board 201 beforehand appears from a division groove portion.

[0063]Drawing 7 shows the 5th process (5).

[0064]Using the alignment mark 270 on the electronic integrated circuit board 201, it etches with a photograph work and the mesa structure of the surface emission-type laser 213 and the photo-diode 214 is produced.

[0065]Drawing 8 shows the 6th process (6).

[0066]Electric wiring 212 between the electronic integrated circuit board 201 and the surface emission-type laser 213 and between the electronic integrated circuit board 201 and the photo-diode 214 is performed. This electric wiring 212 can be performed using vacuum deposition or plating.

[0067]Low reflection coating may be formed on the photo-diode 214 if needed.

[0068]Thus, the photoelectrical fusion circuit board by which the surface emission-type laser 213, the photo-diode 214, the electric wiring 212, and the polyimide 211 were formed on the electronic integrated circuit board 201 is producible.

[0069](Waveguide) Next, a light corpuscle child explains process (7) - (11) which produces a waveguide based on drawing 9 - drawing 13 on the accumulated photoelectrical fusion circuit board.

[0070]Drawing 9 shows the 7th process (7).

[0071]The flattening polymer layer 216 is formed on the photoelectrical fusion circuit board on which the light corpuscle child was accumulated.

[0072]In this case, the flattening polymer layer 216 is formed by applying an epoxy system

monomer thru/or oligomer by a spin coater etc. on the photoelectrical fusion circuit board. If viscosity is lowered, it will not be influenced by unevenness of a ground but a layer with the flat surface will be manufactured.

[0073]Since the thickness to the photo-diode 214 formed in the photoelectrical fusion circuit board shown in drawing 8 mentioned above is [the thickness to 2 thru/or 10 microns and the surface emission-type laser 213] 10 thru/or about 25 microns, The thickness of 216 layers of flattening polymer layers is thicker than the unevenness, and is 5 thru/or about 50 microns.

[0074]And the whole surface of the applied flattening polymer layer 216 is stiffened by ultraviolet exposure. This flattening polymer layer 216 may be manufactured using heat-hardened type polymer. In this case, the whole substrate is made to heat and the flattening polymer layer 216 is stiffened.

[0075]Drawing 10 shows the 8th process (8).

[0076]On the flattening polymer layer 216, the polymer lower clad layer 217 is formed using the same process as drawing 9. In this case, thickness is about 5-50 microns.

[0077]The flattening polymer layer 216 and the polymer lower clad layer 217 may be made to make it serve a double purpose as the same layer.

[0078]Drawing 11 shows the 9th process (9).

[0079]The polymer core layer 218 is formed on the polymer lower clad layer 217.

[0080]In this case, in the case of a multi-mode, a refractive index is a presentation large 1 to 2%, and the epoxy system monomer thru/or oligomer which becomes the polymer core layer 218 is applied so that it may function as a core of a waveguide.

[0081]Since the polymer core layer 218 must make a waveguide pattern, when photosensitive ultraviolet hardening type epoxy is used, it irradiates only the portion which it leaves as a core with a mask, stiffens a core part, and forms the remaining portion by carrying out development removal.

[0082]When a nonphotosensitive heat-curing monomer thru/or oligomer is applied, heat curing is carried out and a core pattern is produced by the usual photolithography or other means.

[0083]That is, resist is applied, a mask pattern is transferred to a resist film, an unnecessary core layer is removed by using resist as an etching mask using etching methods, such as reactive ion etching, and resist is removed after that.

[0084]The position of a core layer is doubled on the basis of the marker on the electronic integrated circuit board 201, when performing a photolithography. For this reason, the accuracy of position of a waveguide is about ± 0.5 microns. The thickness of the polymer core layer 218 is about 5-100 microns.

[0085]When the surface emission-type laser 213 of a horizontal multi-mode is used, about 20-50 microns is suitable for the thickness of the polymer core layer 218. When the surface emission-type laser 213 of a horizontal single mode is used, about 5-30 microns is suitable for

the thickness of the polymer core layer 218.

[0086]Drawing 12 shows the 10th process (10).

[0087]The polymer upper clad layer 219 is formed on the polymer core layer 218.

[0088]In this case, by the presentation which can do the polymer layer of the same refractive index as the polymer lower clad layer 217, an epoxy system monomer thru/or oligomer are applied similarly, ultraviolet exposure is carried out and the whole surface is stiffened. This layer thickness is about 5-50 microns in the upper part of a core layer.

[0089]Drawing 13 shows the 11th process (11).

[0090]The optical-path converter 207 is produced using cutting by dicing.

[0091]However, in the dicing method, since it produces on a straight line, the optical-path converter 207 cannot be formed in the arbitrary direction in arbitrary positions.

[0092]The accuracy of position of dicing is about ± 2 microns, and when using multi-mode surface light laser, it is sufficient accuracy. Alignment is easily possible for dicing using the marker provided on the electronic integrated circuit board 201.

[0093]Since the polymer layers 216-219 are directly formed in the upper part of the photoelectrical fusion circuit board which consists of the electronic integrated circuit board 201, the surface emission-type laser 213, the photo-diode 214, the electric wiring 212, and the polyimide 211 as mentioned above, In the production processes of this waveguide, it is easily producible by performing alignment using photolithography technique.

[0094]Since a manufacturing process is performed by the wafer scale, it can produce many optoelectronic integrated circuits simultaneously, and it can produce an optoelectronic integrated circuit with the element of a various kind.

[0095]Also in the optical-path converter 207, it is producible to low cost using the usual dicing apparatus in required accuracy.

[0096]In addition, it becomes possible to aim at a radical improvement of performance which are enumerated below.

[0097]1. Since distance between input output section of waveguide, luminescence, and photo detector is short, Since coupling efficiency becomes high and the photo-diode 214 is accumulated by the electronic integrated circuit 203 with low capacity (about 0.1 pF), it becomes possible to design the receiving circuit of the electronic integrated circuit 203 operate at high speed. Therefore, at the rate of the clock of the electronic integrated circuit 203, and an equivalent grade, a signal can be made into a lightwave signal and can be inputted into an electronic circuit.

[0098]2. the surface emission-type laser 213 -- low capacity (about 0.1 pF) -- and since it is accumulated with low inductance (about 0.1 nH(s)), it is possible to run in high-speed abnormal conditions easily. Therefore, it can output from the electronic integrated circuit 203 by making a signal into a lightwave signal at the rate of the clock of the electronic integrated

circuit 203, and an equivalent grade.

[0099]Namely, although the light emitting device and the photo detector, and the optical sending circuit and optical receiving circuit that accompany them are connected by the optical waveguide among some electronic integrated circuits 203 in this example, By having adopted such optical wiring, it has the advantage that the impedance match of each electronic circuit is unnecessary, and ultra high-speed nature more than Gbit/s and low power consumption can be attained.

[0100]Since it is such, as compared with the system LSI which used only the conventional electronic integrated circuit, the electronic integrated circuit 203 of this example can perform mass signal processing at high speed, and can aim at a radical improvement of performance.

[0101]Since communication is possible with an external device and a circuit with a lightwave signal, the band limit what is called by a pin bottleneck is avoidable.

[0102]Although it was considered as the circuitry which accumulated both the light emitting device and the photo detector in this example, it is applicable to this invention also as circuitry which accumulated either.

[0103]The [2nd example] Next, a 2nd embodiment of this invention is described based on drawing 14. The explanation about the 1st embodiment and identical parts that were mentioned above is omitted, and identical codes are given to identical parts.

[0104]In this example, the manufacturing method of the optical-path converter 207 which constitutes an optical waveguide is changed.

[0105]As shown in drawing 14 (a), the etching mask layer 221 is manufactured by a photolithography on the polymer upper clad layer 219. Then, the optical-path converter 207 as shown in drawing 14 (b) is producible by applying an ionic current from an oblique direction and performing reactive ion etching.

[0106]Thus, by using photolithography technique, the accuracy of position of a mirror (refer to the high reflection film 220 of drawing 2) can be set up more highly than the 1st example.

[0107]The [3rd example] Next, a 3rd embodiment of this invention is described based on drawing 15. The explanation about the 1st and 2nd embodiments and identical parts that were mentioned above is omitted, and identical codes are given to identical parts.

[0108]In this example, an optical waveguide is formed by two or more waveguide layers.

[0109]That is, in addition to the 1st waveguide layer of 217-219 which were mentioned above, the 2nd waveguide layer is produced.

[0110]The 2nd waveguide layer comprises the 2nd polymer lower clad layer 223, the 2nd polymer core layer 224, and the 2nd polymer upper clad layer 225. 222 is a cladding layer between each core layer.

[0111]The cladding layer between each core layer, for example, 219 and 222, may be made to serve a double purpose in the same layer. There may be a waveguide layer of the 3rd

henceforth.

[0112] Thus, since intersection of an optical waveguide can be constituted by using the waveguide of another layer, the cross talk between waveguides can be reduced. And high-density optical wiring can be performed.

[0113]

[Effect of the Invention] As explained above, according to this invention, on the photoelectrical fusion circuit board which integrated the electronic device and the light corpuscle child, Since at least one optical waveguide layer which consists of a flattening polymer layer, polymer lower clad layers, polymer core layers, and polymer upper clad layers was laminated and the optical waveguide circuit which consists of an optical waveguide and an optical-path converter was provided in this optical waveguide layer, Two or more electronic circuits are connected by optical wiring, and the optoelectronic integrated circuit which can perform high-speed signal processing with large scale can be produced to low cost with high precision.

[Translation done.]

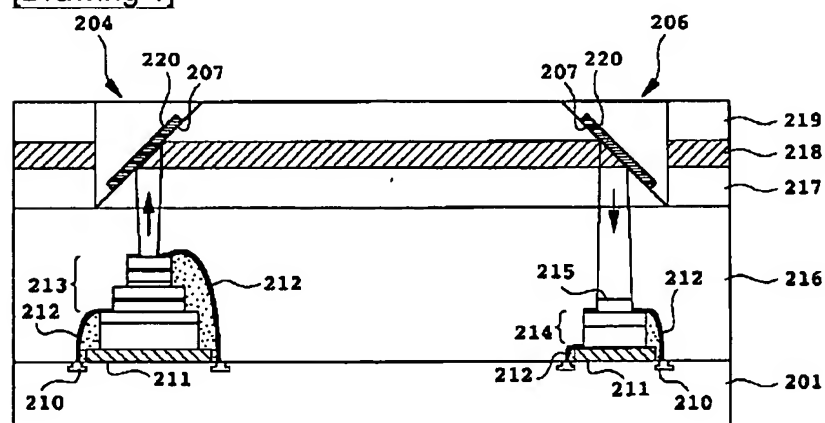
* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

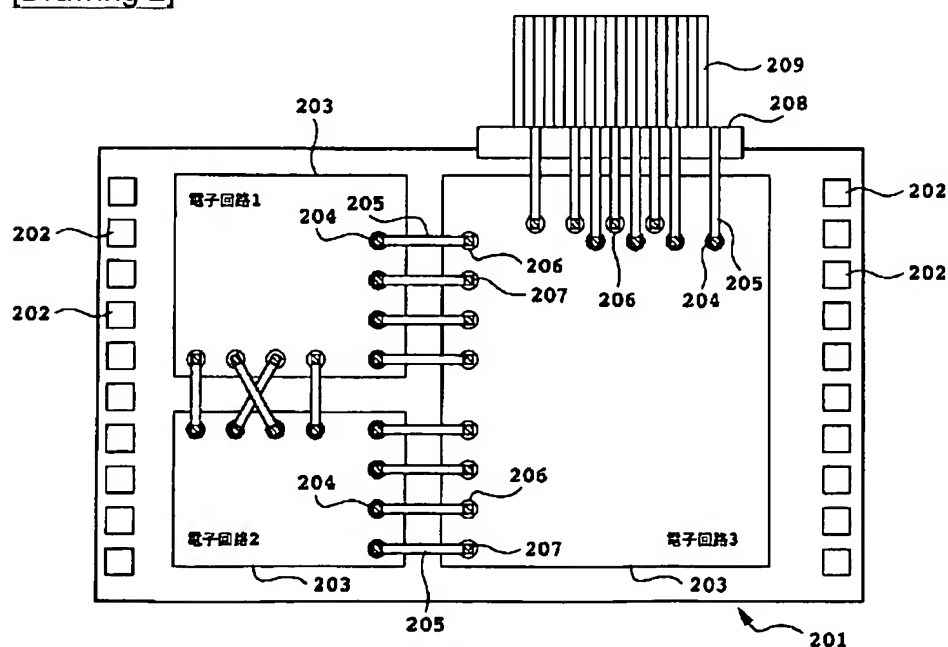
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

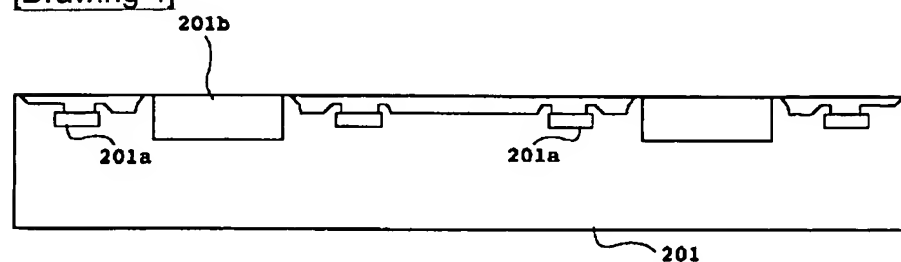
[Drawing 1]



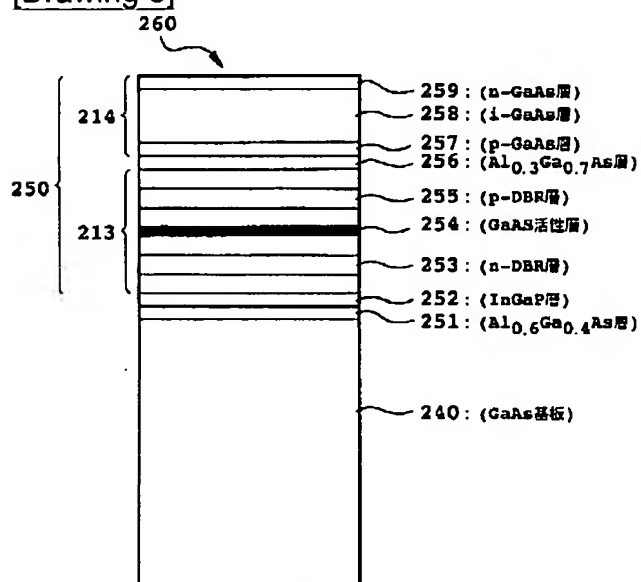
[Drawing 2]



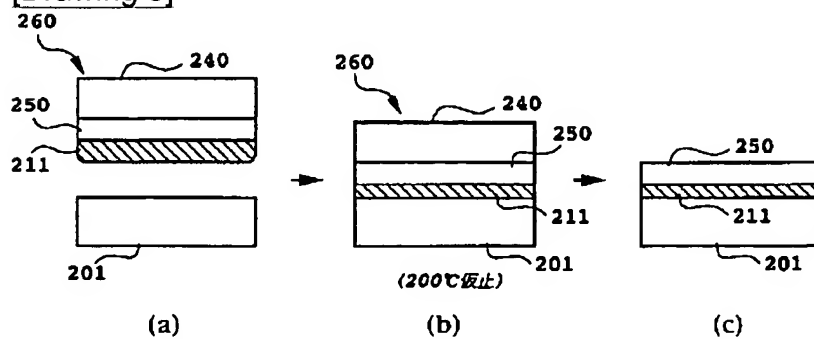
[Drawing 4]



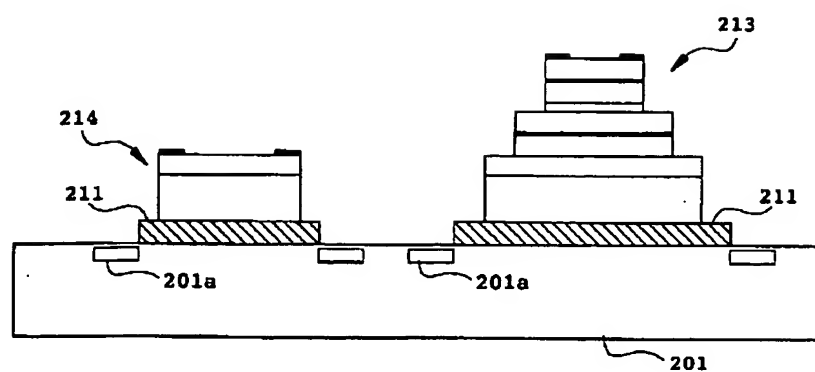
[Drawing 3]



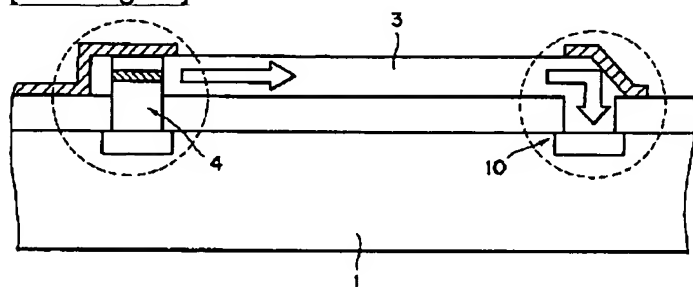
[Drawing 5]



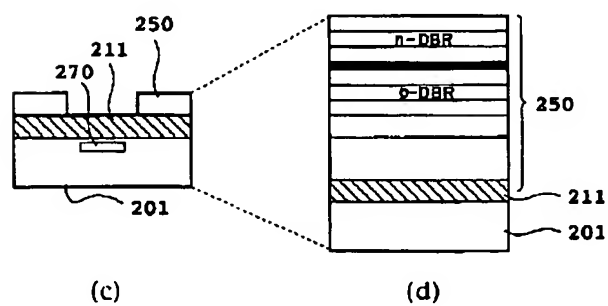
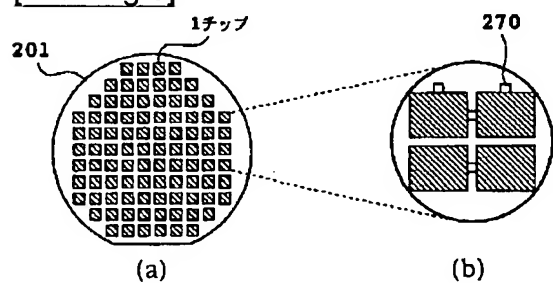
[Drawing 7]



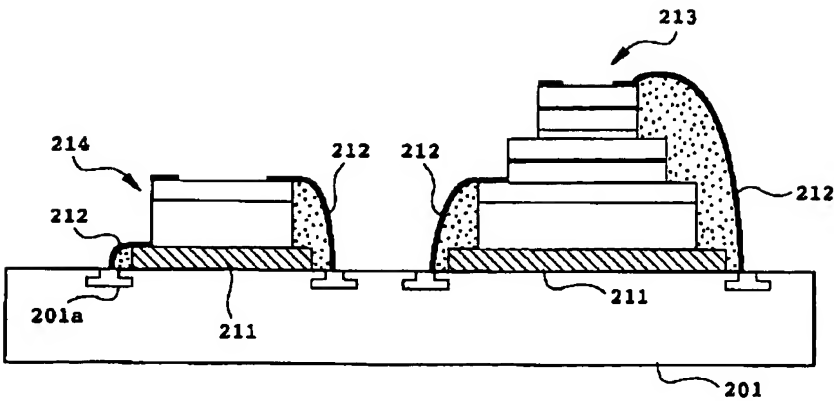
[Drawing 16]



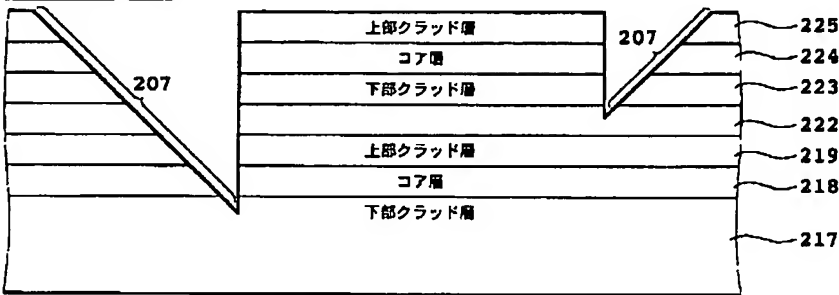
[Drawing 6]



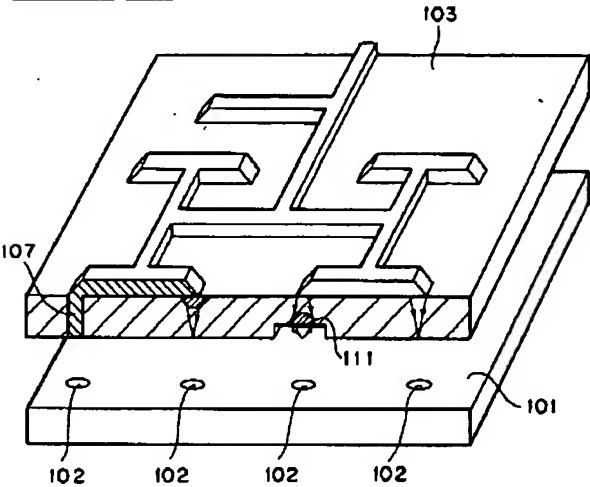
[Drawing 8]



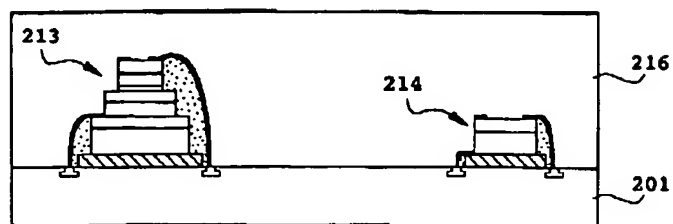
[Drawing 15]



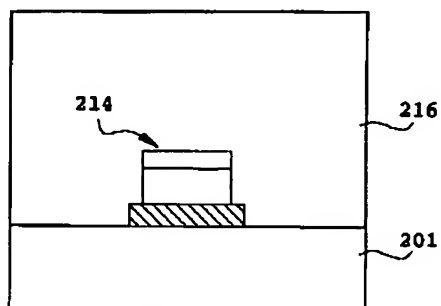
[Drawing 17]



[Drawing 9]

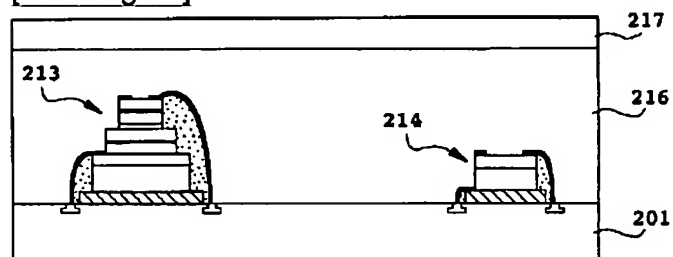


(a)

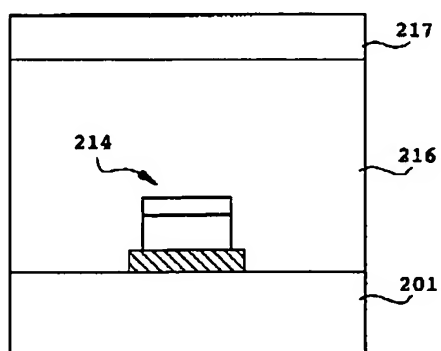


(b)

[Drawing 10]

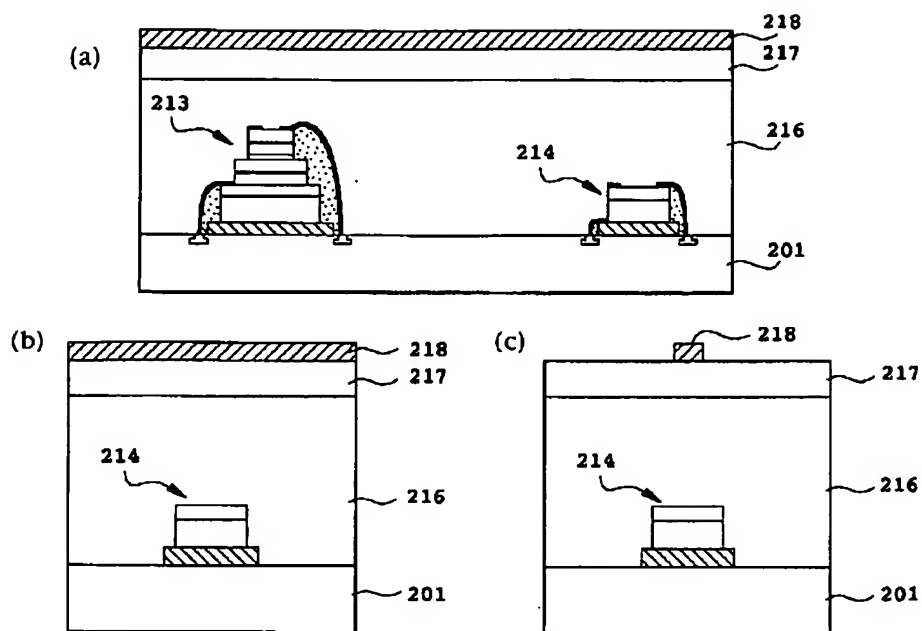


(a)

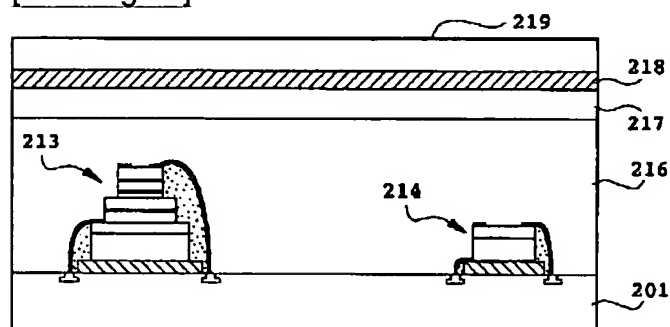


(b)

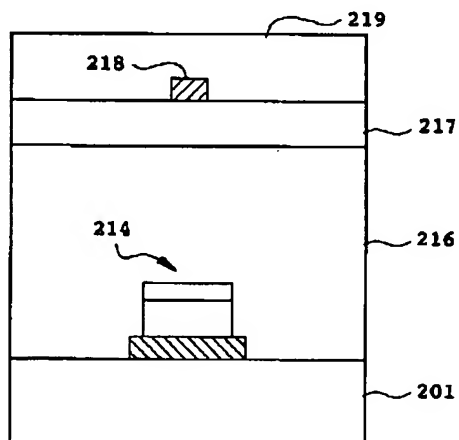
[Drawing 11]



[Drawing 12]

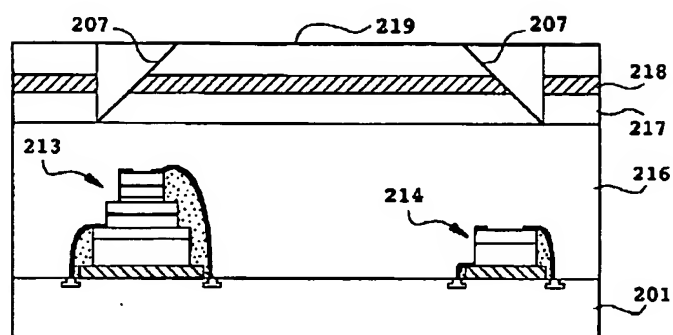


(a)

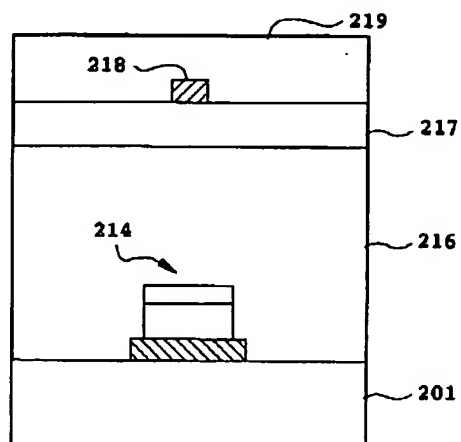


(b)

[Drawing 13]

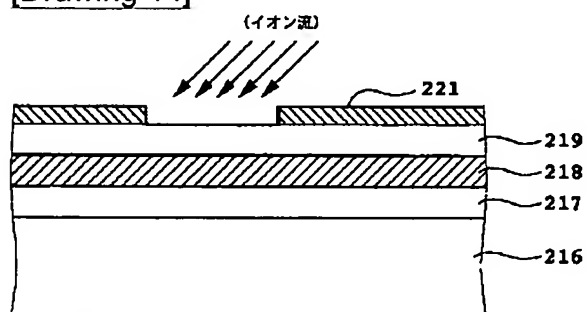


(a)

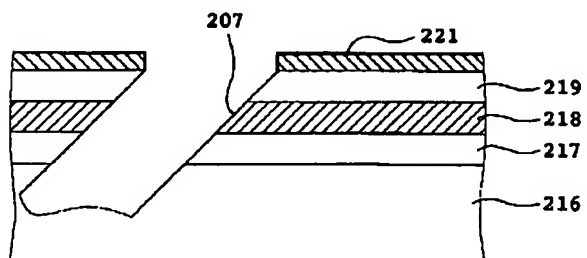


(b)

[Drawing 14]



(a)



(b)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-235127

(P2000-235127A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int. Cl. ⁷	識別記号	F I	チーフ・ワード (参考)
G 0 2 B	6/122	G 0 2 B 6/12	B 2 H 0 4 7
	6/13	H 0 1 L 31/12	E 5 F 0 4 1
H 0 1 L	31/0232	33/00	M 5 F 0 8 8
	31/12	G 0 2 B 6/12	M 5 F 0 8 9
	33/00	H 0 1 L 31/02	C
審査請求 有 請求項の数 3 O L (全 15 頁)			

(21) 出願番号 特願平11-38405

(22) 出願日 平成11年2月15日 (1999.2.15)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 津田 裕之

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 中塚 達志

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人 100077481

弁理士 谷 登一 (外1名)

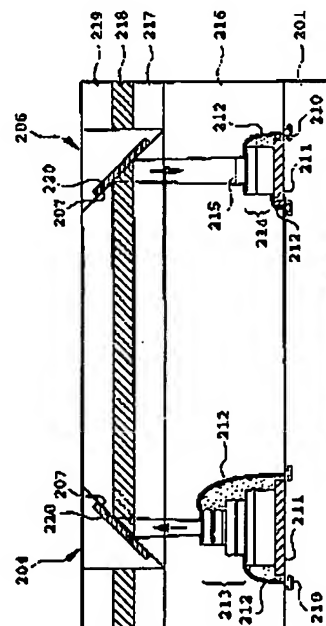
最終頁に続く

(54) 【発明の名称】 光電子集積回路およびその作製方法

(57) 【要約】

【課題】 大容量で高速な信号処理が行える光電子集積回路を、高精度にかつ低コストに作製すること。

【解決手段】 電子素子と光素子とを集積化した光導融合回路基板201上に、平坦化ポリマー層216とポリマー下部クラッド層217とポリマーコア層218とポリマー上部クラッド層219とからなる少なくとも1つの光導波路層を積層し、光導波路層内に光導波路および光路変換部207からなる光導波路回路を設けた。



(2)

特開2000-235127

1

【特許請求の範囲】

【請求項1】 電子素子と光子素子とを集積化した光電融合回路基板上に、光導波路回路が直接組み立てられた光電子集積回路であって、

前記光電融合回路基板上に、平坦化ポリマー層とポリマー下部クラッド層とポリマーコア層とポリマー上部クラッド層とからなる少なくとも1つの光導波路層を積層して設け、

前記光導波路層内に、前記光子素子と光接続を行うための光導波路と光路変換部とにより構成された光導波路回路を具えたことを特徴とする光電子集積回路。

【請求項2】 前記平坦化ポリマー層と前記ポリマー下部クラッド層とを1層で兼用することを特徴とする請求項1記載の光電子集積回路。

【請求項3】 電子素子と光子素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製方法であって、

前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、

前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、
前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、
前記ポリマーコア層をパターンニングして導波パターンを形成する工程と、

前記パターンニングされた導波パターン上にモノマーあるいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、

前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項4】 電子素子と光子素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製する方法であって、

前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、

前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、
前記ポリマー下部クラッド層上に感光性材料のモノマーあるいはオリゴマーを塗布してポリマーコア層を形成すると同時に、パターンニングして導波パターンを形成する工程と、

前記パターンニングされた導波パターン上にモノマーあ

2

るいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、

前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項5】 前記平坦化ポリマー層と前記ポリマー下部クラッド層とを1層で兼用することを特徴とする請求項3又は4記載の光電子集積回路の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子素子と光子素子とを集積化した回路基板と該回路基板上に光接続された光導波路回路とを有する光電子集積回路およびその作製方法に関し、特に、大容量の信号処理を行うことが可能な光電子集積回路およびその作製方法に関する。

【0002】

【従来技術】従来、集積回路内におけるノイズ発生、信号遅延等を抑制するために、金属配線に代わって光導波路による光配線を用いた光集積回路が注目されている。

【0003】この種の光集積回路には、例えば、図16に示すように、基板1上に光導波路3と発光素子4と受光素子10とが形成されたモノリシック集積による光電子集積回路がある（特開昭59-75656号公報参照）。

【0004】また、図17に示すように、光導波路107を有する光接続基板103と、受光素子102を有する集積回路チップ101（LSI基板）とをハイブリッド集積した光電子集積回路がある（特開平6-45584号公報参照）。

【0005】

【発明が解決しようとする課題】前者の例は、通常GaAs基板やInP基板に格子整合する材料の組み合わせ、例えばGaAs/Al_xGa_{1-x}As、InP/In_xGa_{1-x}As、P_x（x=0.47y程度）の直接遷移型材料系の導波路を基板上に形成することによって作製される。

【0006】この場合、格子整合条件からずれると内部応力が発生し、極端な場合は結晶内に転位や欠陥が発生して、素子寿命が短くなる場合が多く、非格子整合条件／材料組み合わせは、ごく薄い（1000オングストローム以下程度）層以外には用いることは困難である。

【0007】このように、導波路のモノリシックな集積を行うために、多くの制約、例えば、多数の再成長工程に伴う形状的制約、再成長可能な材料的制約、発光波長及び受光波長の制約がある。近年における信号処理用集

(3)

特開2000-235127

3

4

積回路の多くはシリコン系集積回路であるが、間接遷移のシリコンでは発光素子を製作できず、受光素子との組み合わせに限定される。

【0008】一方、後者の例においては、光接続基板103と受光素子102を持つ集積回路チップ101（LSI基板）との正確な位置調整を行い、配置するための実装上の困難が多い。また、光接続基板103と集積回路チップ101とは、個別に組み立て作業を行うため、複数の光電子集積回路を同時に製作することができない、これらは物理的な制約ではないが、非常に高コストな光電子集積回路になり、実用的ではない。

【0009】ここで、電子回路基板上に光素子をハイブリッド集積する場合の問題点を例に挙げて説明する。

【0010】例えば、電子回路基板に受光素子ないし発光素子をハイブリッド集積する方法として、半田バンブ技術がある。

【0011】しかし、この技術を用いた方法では、受光素子あるいは発光素子を小さいチップにして半田を用いて接合するが、以下の問題点（1）～（3）がある。

【0012】（1）劈開やスクライプでは、100ミクロン×100ミクロン×100ミクロンよりも小さなチップを作ることが大変困難である。このため、品種の異なる（受光素子と発光素子のような）チップを同一の電子回路基板に集積することができない。

【0013】（2）光を受光素子ないし発光素子の基板側から入出力するため、使用する波長帯で透明な基板を用いるかあるいは不要基板部分を除去する必要がある。

（1）の方法では、受光ないし発光素子の選択に大きな制限を受ける。また、（2）の方法では、電子回路基板や半田層が露出しているため、それらにダメージを与えずに除去することが困難である。

【0014】（3）半田層や、受光素子、発光素子の基板の厚さにより、電子回路基板の凹凸が少なくとも100～200ミクロンとなるため、その上部を平坦化して導波路層を形成することは不可能である。また、導波路面と、受光面及び発光面との距離が100～200ミクロン以上となるため、レンズ手段を介在させないと、高い結合効率を得ることが原理的に不能である。

【0015】そこで、本発明の目的は、大容量で高速の信号処理を行える高性能な光電子集積回路を提供すると共に、高精度かつ低コストな光電子集積回路の作製方法を提供することにある。

【0016】

【課題を解決するための手段】本発明は、電子素子と光素子とを集積化した光電融合回路基板上に、光導波路回路が直接組み立てられた光電子集積回路であって、前記光電融合回路基板上に、平坦化ポリマー層とポリマー下部クラッド層とポリマーコア層とポリマー上部クラッド層とからなる少なくとも1つの光導波路層を積層して設け、前記光導波路層内に、前記光素子と光接続を行うた

めの光導波路と光路変換部とにより構成された光導波路回路を具えることによって、光電子集積回路を構成する。

【0017】また、本発明は、電子素子と光素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製する方法であって、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層をパターンニングして導波パターンを形成する工程と、前記パターンニングされた導波パターン上にモノマーあるいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。

【0018】また、本発明は、電子素子と光素子とが集積化された光電融合回路基板上に、光配線用の光導波路回路を直接形成することによって、光電子集積回路を作製する方法であって、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上に感光性材料のモノマーあるいはオリゴマーを塗布してポリマーコア層を形成すると同時に、パターンニングして導波パターンを形成する工程と、前記パターンニングされた導波パターン上にモノマーあるいはオリゴマーを塗布して該導波パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波パターンおよび該導波パターンに隣接する層の領域をエッチングして、該導波パターン中に光路変換部を形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。

【0019】ここで、前記平坦化ポリマー層と前記ポリマー下部クラッド層とを1層で兼用してもよい。

【0020】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

(4)

特開2000-235127

5

【0021】〔第1の例〕本発明の第1の実施の形態を、図1～図13に基づいて説明する。

【0022】（構造）まず、本発明に適用可能な光電子集積回路の構造を、図1および図2に基づいて説明する。

【0023】図2は、光電子集積回路の平面図である。

【0024】201は、シリコンからなる電子集積回路基板である。この電子集積回路基板201上には、機能異なる複数の回路ブロックに分割された電子集積回路203（ここでは、電子回路1～電子回路3）が形成されている。また、電子集積回路基板201上の端部には、電気配線用のボンディングパッド202が形成されている。なお、同一の電子集積回路基板201に、機能異なる複数の回路ブロックを作製する技術は、周知の集積回路の製造方法を用いることが可能である。

【0025】電子集積回路203には、発光素子により構成される発光部204と、受光素子により構成される受光部206とが設けられている。発光素子および受光素子の構成については、図1を用いて説明する。

【0026】発光部204および受光部206の上方には、これら受光部間の光接続を行うための光配線として、光導波路205および光路変換部207が設けられている。

【0027】また、外部回路との接続用として、外部接続用光導波路208と、光ファイバ接続部209とが設けられている。

【0028】図1は、受光部および光配線部の詳細な集積構造を示す。

【0029】210は、電子集積回路203と発光素子、電子集積回路203と受光素子をそれぞれ電気的に接続するためのコンタクト電極である。

【0030】211は、回路基板201と発光素子、回路基板201と受光素子とをそれぞれ張り合わせるポリイミドである。

【0031】212は、電子集積回路203と発光素子、電子集積回路203と受光素子をそれぞれ電気的に接続するための電気配線である。この電気配線212は、必要に応じて、絶縁構造や金属が反応しないようにバリア構造を有している。

【0032】213は、発光素子としての面発光レーザであり、P型DBRミラー、活性層、n型DBRミラーによって構成される。

【0033】214は、受光素子としてのフォトダイオードであり、通常は、p型半導体、i型半導体、n型半導体によるpin構成のものを用いる。

【0034】このフォトダイオード214の上面上には、低反射コーティング215が施されている。

【0035】これら面発光レーザ213およびフォトダイオード214上には、平坦化ポリマー層216が積層されている。

6

【0036】この平坦化ポリマー層216上には、ポリマー下部クラッド層217、ポリマーコア層218、ポリマー上部クラッド層219が順次積層されている。光導波路は、これらポリマーからなる217から219の層構造によって構成する。なお、光導波路の材料としては、これらポリマーに限定されるものではなく、周知の材料により作製できるものである。

【0037】また、光路変換部207は、適当な傾斜角で光導波路の一部を取り除いてミラーを作製することによって構成される。この光路変換部207には、ミラーとしての高反射膜220が設けられている。この高反射膜220は、面発光レーザ213からの光をポリマーコア層218に導くように光路偏向させると共に、ポリマーコア層218からの光をフォトダイオード214に導くように光路偏向させる。

【0038】この高反射膜220は、光路変換部207の光路変換損失を低減すると共に信頼性を向上させる。このような高反射膜220は、 TiO_2/SiO_2 等からなる誘電体多層膜、あるいは、Au、Ag、Cr、Al等の金属膜を用いることができる。

【0039】さらに、この高反射膜220には、保護膜として、光導波路と屈折率がほぼ等しい材料である SiO_2 の薄膜を付着させてもよい。

【0040】（製造方法）次に、本装置の作製方法を、図3～図13に基づいて説明する。

【0041】（光電融合回路基板）まず、光電融合回路基板を作製する工程（1）～（6）を、図3～図8に基づいて説明する。

【0042】図3は、第1の工程（1）を示す。

【0043】GaAs基板240上に、エピタキシャル成長によってエピタキシャル層250を形成する。

【0044】すなわち、GaAs基板240上に、第1のエッチストップ層と、面発光レーザ213の層と、第2のエッチストップ層と、フォトダイオード214の層とを、エピタキシャル成長によって形成し、これにより、エピタキシャル基板260を作製する。

【0045】エピタキシャル基板260のエピタキシャル層250の構成は、以下になる。

【0046】第1のエッチストップ層は、Al、Ga、As層251、InGaP層252から構成される。

【0047】面発光レーザ213の層は、n-DBR層（nドープGaAs/AlGaAsの多層構造）253と、GaAs活性層254と、p-DBR層（pドープGaAs/AlGaAsの多層構造）255とから構成される。

【0048】第2のエッチストップ層は、Al、Ga、As層256から構成される。

【0049】フォトダイオード214の層は、p-GaAs層257と、i-GaAs層258と、n-GaAs

(5)

特開2000-235127

7

8

s層259とから構成される。

【0050】図4は、第2の工程(2)を示す。

【0051】電子集積回路基板201上の電極201aが形成された表面の凹凸を平坦化する。この平坦化は、ポリイミド201bを塗布、硬化した後に、表面研磨することによって行うことが可能である。

【0052】図5は、第3の工程(3)を示す。

【0053】図5(a)に示すように、前記エピタキシャル基板260に形成されたエピタキシャル層250と、電子集積回路基板201とを、ポリイミド211を用いて接合する。

【0054】接合後、図5(b)に示すように、接合された基板を、200℃で仮止めする。

【0055】仮止め後、図5(c)に示すように、不要なGaAs基板240を $H_2O_2 + NH_4OH$ でエッチングする。

【0056】さらに、Al_{0.5}Ga_{0.5}As層251を $H_2SO_4 + H_2O$ でエッチングし、InGaP層252を $HCl + H_2O$ でエッチングする。

【0057】図6は、第4の工程(4)を示す。

【0058】図6(a)は、電子集積回路基板201上にエピタキシャル層250が形成されたウエハを示す。図6(b)は、ウエハ上のチップを一部拡大して示す。図6(c)は、図6(b)のチップ断面形状を示す。図6(d)は、図6(c)を拡大して示す。

【0059】図6(a)～(b)に示すように、ウエハの電子集積回路基板201上に作製されたエピタキシャル層250を部分的にエッチングし、1～2mm角の部分に分割する。なお、このエッチング用のフォトリソの位置合わせはラフでよいので、両面位置合わせ型の露光器を用いて容易に行うことができる。

【0060】図6(c)～(d)は、エピタキシャル層250を部分的にエッチングした後の断面形状を示す。この段階で、350℃まで加熱して接合用のポリイミド211を完全に硬化させる。

【0061】また、エピタキシャル層250の無い部分に位置するポリイミド211をアッシング装置によって除去する。

【0062】これによって、予め電子集積回路基板201と同時に作られた位置合わせマーク270が分割部分から現れる。

【0063】図7は、第5の工程(5)を示す。

【0064】電子集積回路基板201上の位置合わせマーク270を用いて、フォトリソとエッチングを行い、面発光レーザ213およびフォトダイオード214のメサ構造を作製する。

【0065】図8は、第6の工程(6)を示す。

【0066】電子集積回路基板201と面発光レーザ213との間、および、電子集積回路基板201とフォトダイオード214との間の電気配線212を行う。この

電気配線212は、蒸着法やメッキ法を用いて行うことができる。

【0067】また、必要に応じて、フォトダイオード214上に低反射コーティングを形成してもよい。

【0068】このようにして、電子集積回路基板201上に、面発光レーザ213、フォトダイオード214、電気配線212、ポリイミド211が形成された光電融合回路基板を作製することができる。

【0069】(導波路)次に、光素子が集積された光電融合回路基板上に導波路を作製する工程(7)～(11)を、図9～図13に基づいて説明する。

【0070】図9は、第7の工程(7)を示す。

【0071】光素子が集積された光電融合回路基板上に、平坦化ポリマー層216を形成する。

【0072】この場合、光電融合回路基板上に、エポキシ系モノマーないしオリゴマーをスピンコート等で塗布することによって、平坦化ポリマー層216を形成する。粘度を下げると、下地の凹凸に影響されず表面が平坦な層が製作される。

【0073】前述した図8に示した光電融合回路基板上に設けられたフォトダイオード214までの膜厚が2ないし10ミクロン、面発光レーザ213までの膜厚が10ないし25ミクロン程度であるため、平坦化ポリマー層216の膜厚は、その凹凸よりも厚く、5ないし50ミクロン程度である。

【0074】そして、その塗布された平坦化ポリマー層216の全面を紫外露光によって硬化させる。また、この平坦化ポリマー層216は、熱硬化型のポリマーを利用して製作してもよい。この場合には、基板全体を加熱させて平坦化ポリマー層216を硬化させる。

【0075】図10は、第8の工程(8)を示す。

【0076】平坦化ポリマー層216上に、ポリマー下部クラッド層217を、図9と同様の工程を用いて形成する。この場合、膜厚は、5～50ミクロン程度である。

【0077】なお、平坦化ポリマー層216およびポリマー下部クラッド層217は、同じ層として兼用させてもよい。

【0078】図11は、第9の工程(9)を示す。

【0079】ポリマー下部クラッド層217上に、ポリマーコア層218を形成する。

【0080】この場合、導波路のコアとして機能するように、マルチモードの場合は、屈折率が1～2%大きい組成で、ポリマーコア層218になるエポキシ系モノマーないしオリゴマーを塗布する。

【0081】ポリマーコア層218は、導波路パターンを作らなければならないので、感光性の紫外硬化型エポキシを用いた場合は、マスクによりコアとして残す部分にのみ光を照射してコア部分を硬化させ、残り部分を現像除去することによって形成する。

(6)

特開2000-235127

9

10

【0082】非感光性の熱硬化モノマーないしオリゴマーを塗布した場合には、熱硬化をさせて、通常のフォトリソグラフィ等の手段でコアパターンを作製する。

【0083】すなわち、レジストを塗布し、マスクパターンをレジスト膜に転写し、レジストをエッチングマスクとして、リアクティブイオンエッチング等のエッチング方法を用いて不要のコア層を除去し、その後レジストを除去する。

【0084】コア層の位置は、フォトリソグラフィを行うときに、電子集積回路基板201上のマーカを基準にして合わせる。このため、導波路の位置精度は、±0.5ミクロン程度である。ポリマーコア層218の厚さは、5～100ミクロン程度である。

【0085】また、横マルチモードの面発光レーザ213を用いた場合には、ポリマーコア層218の厚さは20～50ミクロン程度が適当である。横シングルモードの面発光レーザ213を用いた場合には、ポリマーコア層218の厚さは5～30ミクロン程度が適当である。

【0086】図12は、第10の工程(10)を示す。

【0087】ポリマーコア層218上に、ポリマー上部クラッド層219を形成する。

【0088】この場合、ポリマー下部クラッド層217と同じ屈折率のポリマー層ができるような組成で、同様にエポキシ系モノマーないしオリゴマーを塗布して、全面を紫外露光して硬化させる。この層の厚さは、コア層の上部で5～50ミクロン程度である。

【0089】図13は、第11の工程(11)を示す。

【0090】光路変換部207を、ダイシングによる切削加工を用いて作製する。

【0091】ただし、ダイシング法では、直線上に作製するため、任意の位置で、任意の向きに光路変換部207を形成することはできない。

【0092】また、ダイシングの位置精度は、±2ミクロン程度であり、マルチモード面発光レーザを用いる場合は十分な精度である。ダイシングは、電子集積回路基板201上に設けられたマーカを用いて容易に位置合わせが可能である。

【0093】上述したように、電子集積回路基板201、面発光レーザ213、フォトダイオード214、電気配線212、ポリイミド211からなる光電融合回路基板の上部に、直接、ポリマー層216～219を形成しているので、この導波路の作製過程においてフォトリソグラフィ技術を用いて容易に位置合わせを行って作製することができる。

【0094】また、製造プロセスは、ウェハスケールで行われるので、同時に多数の光電子集積回路を作製することができると共に、多品種の素子を持つ光電子集積回路を作製することができる。

【0095】また、光路変換部207においても、必要な精度で通常のダイシング装置を用いて低コストに作製

することができる。

【0096】加えて、以下に列挙するような性能の抜本的改善を図ることが可能となる。

【0097】1. 導波路の入出力部と発光および受光素子との間の距離が短いため、結合効率が高くなり、また、フォトダイオード214が低容量(約0.1pF)で電子集積回路203に集積されているため、電子集積回路203の受信回路を高速で動作するように設計することが可能となる。従って、電子集積回路203のクロックと同等程度の速度で、信号を光信号として電子回路に入力することができる。

【0098】2. 面発光レーザ213は、低容量(約0.1pF)でかつ低インダクタンス(約0.1nH)で集積されているので、高速な変調を容易に駆けることが可能である。従って、電子集積回路203のクロックと同等程度の速度で、信号を光信号として電子集積回路203から出力することができる。

【0099】すなわち、本例では、幾つかの電子集積回路203間において、発光素子および受光素子と、それらに付随する光送信回路および光受信回路とは光導波路によって接続されているが、このような光配線を採用したことによって、各電子回路のインピーダンス整合が不要であり、Gb/s以上の超高速度、低消費電力化を図ることができるという利点を有している。

【0100】このようなことから、本例の電子集積回路203は、従来の電子集積回路のみを用いたシステムLSIと比較して、大容量の信号処理を高速に行うことができ、性能の抜本的改善を図ることができる。

【0101】また、光信号によって外部の装置や回路と通信ができるので、いわゆるピンボトルネックによる帯域制限を回避できる。

【0102】なお、本例では、発光素子と受光素子の両方を集積した回路構成としたが、どちらか一方を集積した回路構成としても、本発明に適用できるものである。

【0103】[第2の例]次に、本発明の第2の実施の形態を、図14に基づいて説明する。なお、前述した第1の実施の形態と同一部分についての説明は省略し、同一部分には同一符号を付す。

【0104】本例では、光導波路を構成する光路変換部207の作製方法を変えたものである。

【0105】図14(a)に示すように、ポリマー上部クラッド層219上に、エッチングマスク層221をフォトリソグラフィで製作する。その後、斜め方向からイオン流を当ててリアクティブイオンエッチングを行うことにより、図14(b)に示すような、光路変換部207を作製することができる。

【0106】このようにフォトリソグラフィ技術を用いることにより、ミラー(図2の高反射膜220参照)の位置精度を、第1の例よりも高く設定することができる。

(7)

特開2000-235127

11

12

【0107】〔第3の例〕次に、本発明の第3の実施の形態を、図15に基づいて説明する。なお、前述した第1および第2の実施の形態と同一部分についての説明は省略し、同一部分には同一符号を付す。

【0108】本例では、光導波路を、複数の導波路層により形成したものである。

【0109】すなわち、前述した217～219の第1の導波路層に加え、第2の導波路層を作製する。

【0110】第2の導波路層は、第2のポリマー下部クラッド層223、第2のポリマーコア層224、第2のポリマー上部クラッド層225とから構成される。222は、各コア層の間のクラッド層である。

【0111】なお、各コア層の間のクラッド層、例えば、219と222は同じ層で兼用してもよい。さらに、第3以降の導波路層があってもよい。

【0112】このように光導波路の交差を別の層の導波路を用いることによって構成できるので、導波路間のクロストークを低減することができる。しかも、高密度な光配線を行うことができる。

【0113】

【発明の効果】以上説明したように、本発明によれば、電子素子と光素子とを集積化した光電融合回路基板上に、平坦化ポリマー層とポリマー下部クラッド層とポリマーコア層とポリマー上部クラッド層とからなる少なくとも1つの光導波路層を積層し、該光導波路層内に光導波路および光路変換部からなる光導波路回路を設けたので、複数の電子回路が光配線によって接続され、大容量で高速の信号処理を行うことが可能な光電子集積回路を高精度にかつ低コストに作製することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態である光電子集積回路の構成を示す縦断正面図である。

【図2】光電子集積回路の構成を示す平面図である。

【図3】GaAs基板上に形成されたエピタキシャル層の構成を示す断面図である。

【図4】電子集積回路基板の断面図である。

【図5】電子集積回路基板上にエピタキシャル層を貼り合わせる工程を示す断面図である。

【図6】図5に続く工程であり、エピタキシャル層をエッチングしたときの断面図である。

【図7】図6に続く工程であり、電子集積回路基板上にエッチングによって受発光素子を作製したときの縦断正

面図である。

【図8】図7に続く工程であり、受発光素子と電子集積回路基板とを電氣的に接続したときの縦断正面図である。

【図9】図8に続く工程であって、平坦化ポリマー層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図10】図9に続く工程であって、ポリマー下部クラッド層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図11】図10に続く工程であって、ポリマーコア層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)はエッチング前の縦断側面図、(c)はエッチング後の縦断側面図である。

【図12】図11に続く工程であり、ポリマー上部クラッド層を形成する工程を示す断面形状であり、(a)は縦断正面図、(b)は縦断側面図である。

【図13】図12に続く工程であり、ダイシングにより光路変換部を形成する工程を示す断面形状であり、

(a)は縦断正面図、(b)は縦断側面図である。

【図14】本発明の第2の実施の形態であるイオンエッチングにより形成された光路変換部を示す断面図である。

【図15】本発明の第3の実施の形態である第2の導波路層を形成した場合の断面図である。

【図16】第1の従来例を示す断面図である。

【図17】第2の従来例を示す斜視図である。

【符号の説明】

201 電子集積回路基板

203 電子集積回路

207 光路変換部

211 ポリイミド

213 面発光レーザ

214 フォトダイオード

217 ポリマー下部クラッド層

218 ポリマーコア層

219 ポリマー上部クラッド層

223 ポリマー下部クラッド層

224 ポリマーコア層

225 ポリマー上部クラッド層

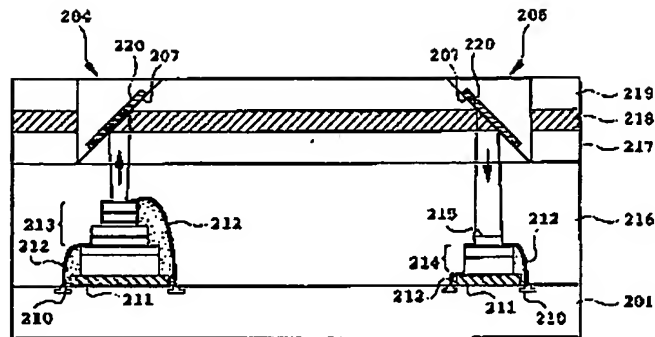
220 高反射膜

250 エピタキシャル層

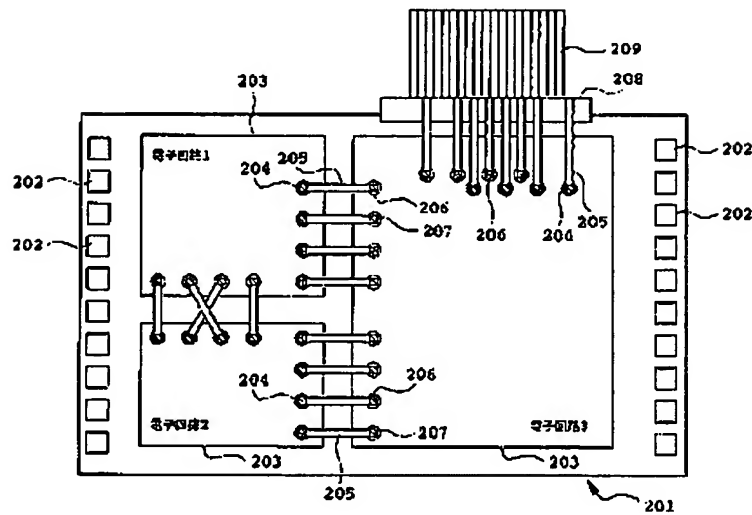
(8)

特開2000-235127

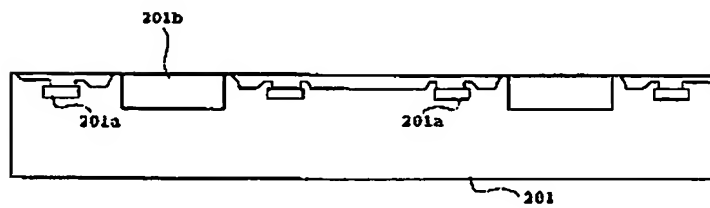
【図1】



【図2】



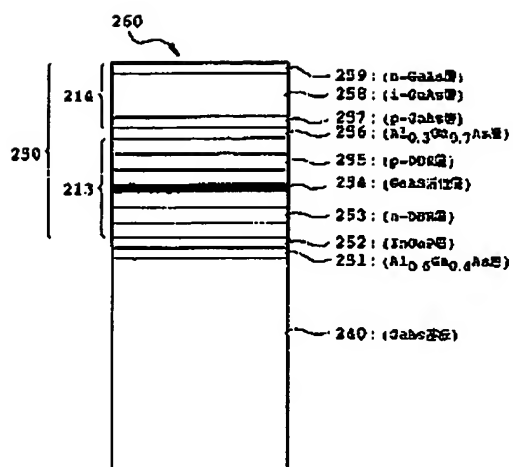
【図4】



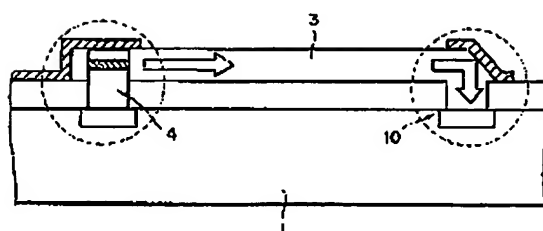
(9)

特開2000-235127

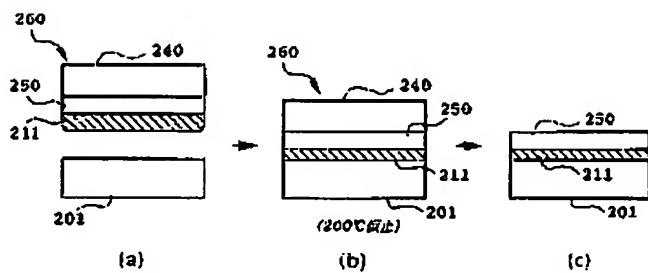
【図3】



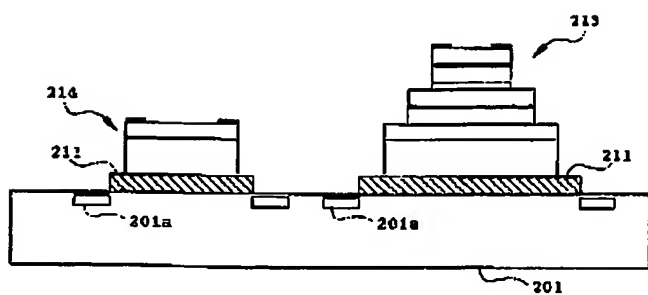
【図16】



【図5】



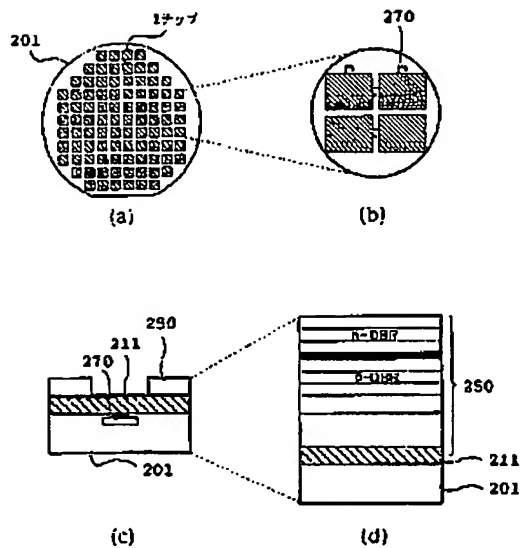
【図7】



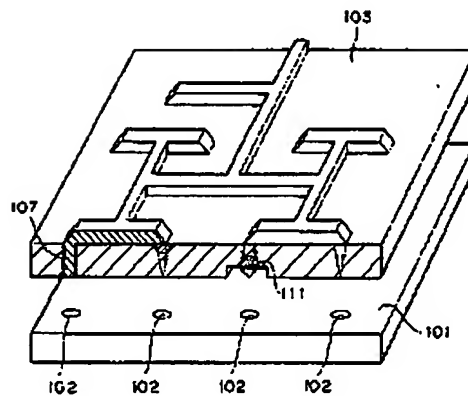
(10)

特開2000-235127

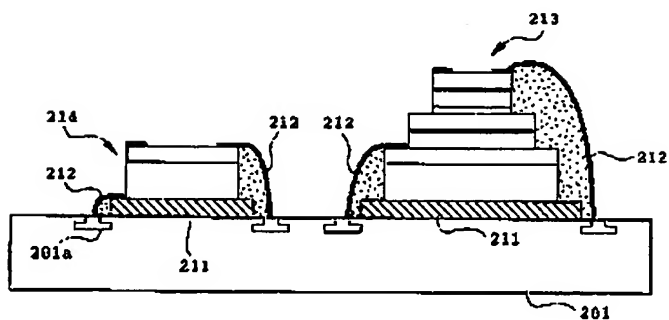
【図6】



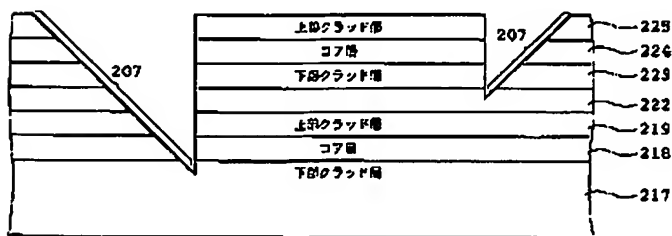
【図17】



【図8】



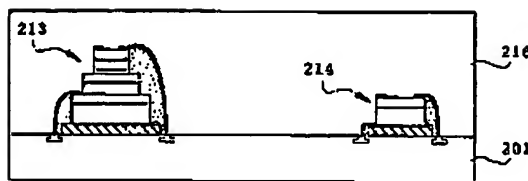
【図15】



(11)

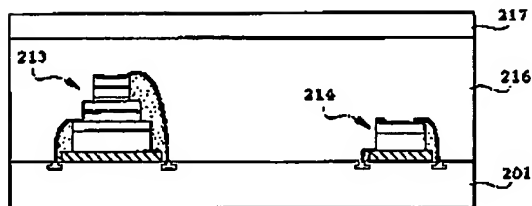
特開2000-235127

【図9】

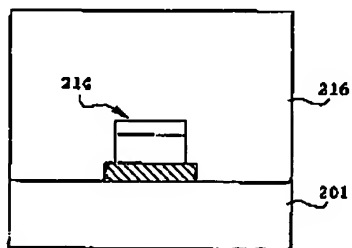


(a)

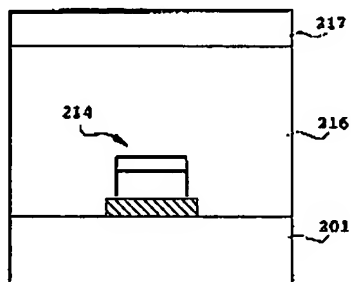
【図10】



(a)

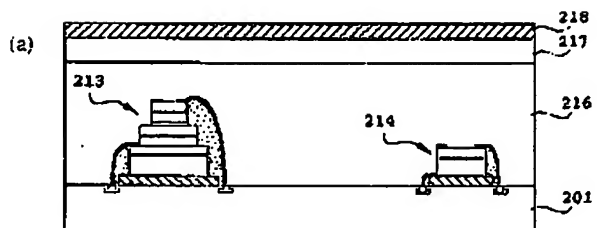


(b)

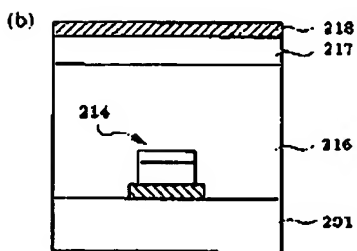


(b)

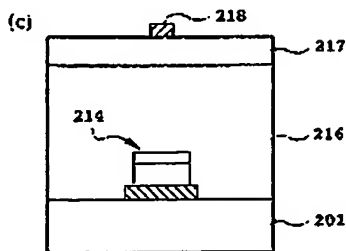
【図11】



(a)



(b)

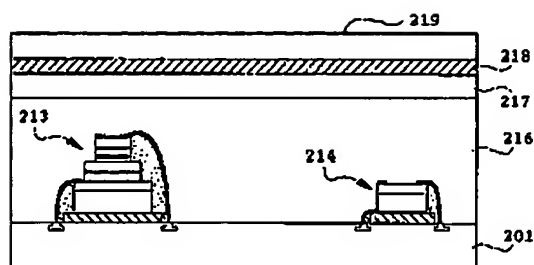


(c)

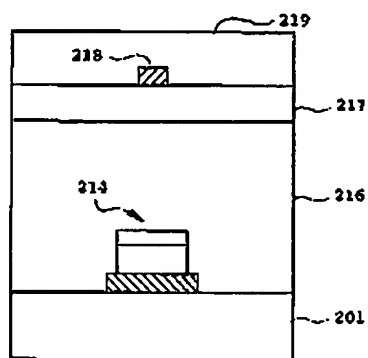
(12)

特開2000-235127

【図12】

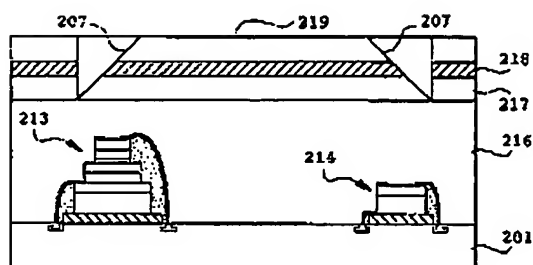


(a)

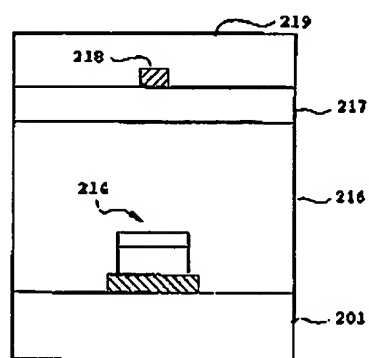


(b)

【図13】

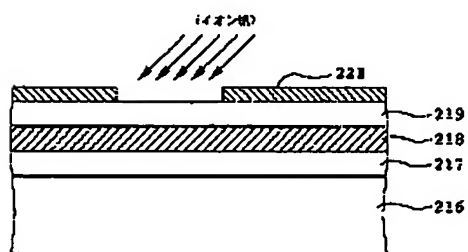


(a)

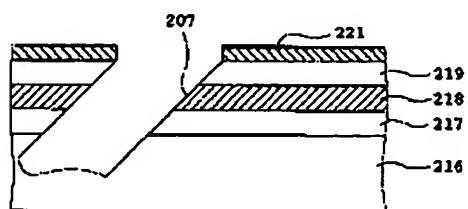


(b)

【図14】



(a)



(b)

(13)

特開2000-235127

【手続修正言】

【提出日】平成12年3月21日(2000. 3. 21)

【手続修正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキシャル層の一面とを接合し、該接合されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接合されていない側の他面が表面層として形成されたウエハを作製する工程と、

前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集積された光電融合回路基板を作製する工程と、

前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、

前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、

前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、

前記導波路パターン中に光路変換部をダイシングによって形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項2】 電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキシャル層の一面とを接合し、該接合されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接合されていない側の他面が表面層として形成

されたウエハを作製する工程と、

前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集積された光電融合回路基板を作製する工程と、

前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、

前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、

前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、

前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、

前記導波路パターン中に光路変換部をフォトリソグラフィによって形成する工程とを具え、

前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路変換部を有する光導波路回路を直接形成したことを特徴とする光電子集積回路の作製方法。

【請求項3】 請求項1又は2記載の光電子集積回路の作製方法を用いて作製された光電子集積回路であって、電子素子とメサ構造の光素子とを集積化した光電融合回路基板と、

前記光素子と光接続を行うために前記光電融合回路基板上に直接形成され、ポリマー下部クラッド層と導波路パターンとポリマー上部クラッド層とからなる光導波路、および、該光導波路と前記光素子との間で光の進行方向を変える光路変換部を有する光導波路回路とを具え、

請求項1又は2記載の半導体プロセス技術を用いて、前記光電融合回路基板上に前記光導波路回路を直接形成したことを特徴とする光電子集積回路。

【手続修正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【課題を解決するための手段】本発明は、電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキ

(14)

特開2000-235127

シャル層の一面とを接合し、該接合されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接合されていない側の他面が表面層として形成されたウエハを作製する工程と、前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集積された光電融合回路基板を作製する工程と、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波路パターン中に光路交換部をダイシングによって形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路交換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。本発明は、電極および位置合わせマークが形成された電子集積回路基板の基板表面の凹凸を平坦化し、該平坦化された電子集積回路基板の基板表面とエピタキシャル基板に形成されたエピタキシャル層の一面とを接合し、該接合されたエピタキシャル基板をエッチングすることによって前記電子集積回路基板上に前記エピタキシャル層の接合されていない側の他面が表面層として形成されたウエハを作製する工程と、前記作製されたウエハの表面層とされた前記エピタキシャル層を部分的にエッチングして分割溝を形成し、該分割溝から下方に位置する前記電子集積回路基板に形成された前記位置合わせマークを露出し、該露出した位置合わせマークを用いてフォトリソグラフィおよびエッチングを行って光素子のメサ構造を形成することによって該光素子が集

* 積された光電融合回路基板を作製する工程と、前記光電融合回路基板上にモノマーあるいはオリゴマーを塗布して平坦化ポリマー層を形成する工程と、前記平坦化ポリマー層上にモノマーあるいはオリゴマーを塗布してポリマー下部クラッド層を形成する工程と、前記ポリマー下部クラッド層上にモノマーあるいはオリゴマーを塗布してポリマーコア層を形成する工程と、前記ポリマーコア層を前記位置合わせマークを基準にして合わせたフォトリソグラフィによりパターンニングして導波路パターンを形成する工程と、前記パターンニングされた導波路パターン上にモノマーあるいはオリゴマーを塗布して該導波路パターンを埋め込み、ポリマー上部クラッド層を形成する工程と、前記導波路パターン中に光路交換部をフォトリソグラフィによって形成する工程とを具え、前記光電融合回路基板上に、前記ポリマー下部クラッド層と前記導波路パターンと前記ポリマー上部クラッド層とからなる光導波路、および、前記光路交換部を有する光導波路回路を直接形成することによって、光電子集積回路の作製方法を提供する。本発明は、上記光電子集積回路の作製方法を用いて作製された光電子集積回路であって、電子素子とメサ構造の光素子とを集積化した光電融合回路基板と、前記光素子と光接続を行うために前記光電融合回路基板上に直接形成され、ポリマー下部クラッド層と導波路パターンとポリマー上部クラッド層とからなる光導波路、および、該光導波路と前記光素子との間で光の進行方向を変える光路交換部を有する光導波路回路とを具え、上記半導体プロセス技術を用いて、前記光電融合回路基板上に前記光導波路回路を直接形成することによって、光電子集積回路を構成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

フロントページの続き

(72)発明者 坂本 尊

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 天野 主税

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(15)

特開2000-235127

(72)発明者 正田 真
 東京都新宿区西新宿三丁目19番2号 日本
 電信電話株式会社内

(72)発明者 都丸 暁
 東京都新宿区西新宿三丁目19番2号 日本
 電信電話株式会社内

(72)発明者 園部 晃次
 東京都新宿区西新宿三丁目19番2号 日本
 電信電話株式会社内

F ターム(参考) 2H047 KA03 LA09 MA07 PA02 PA21
 PA24 PA28 QA05 TA04 TA05
 TA27 TA35 TA44

5F041 AA02 CA35 CA54 CA74 CA91
 CA93 CB01 CB15 CB31 CB32
 CB36 DA83 EE01 EE23

5F088 AA01 AB07 BA02 CB03 CB14
 DA11 DA17 EA06 EA09 EA16
 EA20 FA09 GA05 HA09 HA20
 JA03 JA14

5F089 AA06 AB01 AB13 AC05 AC08
 AC10 AC13 AC16 BB03 BC02
 BC16 CA04 CA12